

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請 日：西元 2003 年 04 月 10 日
Application Date

申請 案 號：092108223
Application No.

申 請 人：南亞科技股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 5 月 21 日
Issue Date

發文字號：09220496160
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	位元線接觸窗及其製造方法
	英文	Bit line contact and method for forming the same
二、 發明人 (共2人)	姓名 (中文)	1. 毛惠民 2. 陳逸男
	姓名 (英文)	1. Hui-Min Mao 2. Yi-Nan Chen
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 台北市內湖區港富里港漚路11號4樓之2 2. 台北市北投區義理街63巷2弄22號1樓
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



0548-9208TVE(m); 01173; Amy.pd

四、中文發明摘要 (發明名稱：位元線接觸窗及其製造方法)

本發明提出一種位元線接觸窗的製造方法，於已形成電晶體的基底上，形成順應性的多晶矽層，並經定義形成連接摻雜區的內著陸墊。之後，於內著陸墊、電晶體和基底上順應性形成一保護層，並於保護層上形成絕緣層。接著，於絕緣層和保護層中形成暴露出內著陸墊的接觸窗開口，並繼續進行M0蝕刻製程，以於開口上方形成具有著陸墊凹槽的圖案。之後，進行M0沈積製程，於開口和凹槽中填入導電材質。所形成之位元線接觸窗之結構包括底層之多晶矽內著陸墊、接觸窗插塞、以及頂層之內連線著陸墊。

伍、(一)、本案代表圖為：第11圖。

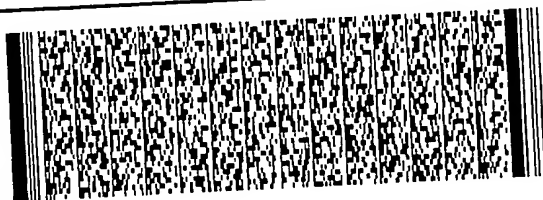
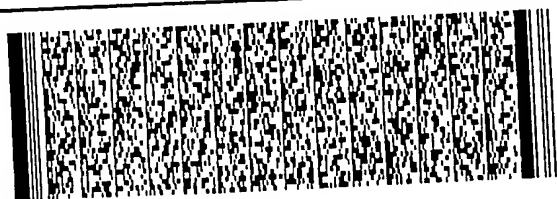
(二)、本案代表圖之元件代表符號簡單說明：

100~半導體基底；

102~電晶體；

六、英文發明摘要 (發明名稱：Bit line contact and method for forming the same)

A method for forming a bit line contact is provided. After forming transistors on a substrate, a polysilicon layer conformally covers the transistors and the substrate. The polysilicon layer is defined to form an inner landing pad connecting a doped region. A passivation layer is formed on the inner landing pad, the transistors and the substrate. An insulating layer with a flat

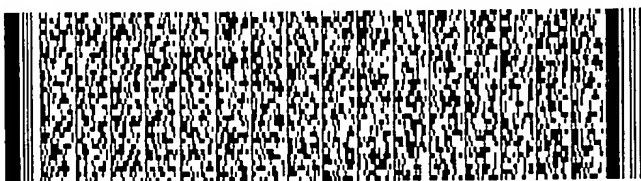


四、中文發明摘要 (發明名稱：位元線接觸窗及其製造方法)

104~ 間隙；
112~ 多晶矽層；
112a~ 內著陸墊；
118~ 罩幕層；
122~ 絕緣襯層；
124~ 絕緣層；
126~ 位元線接觸窗開口；
128~ 閘極電極接觸窗開口；
130~ 接合區接觸窗開口；
132~ M0 凹槽；
134~ 具有鎢著陸墊的位元線接觸窗插塞；
136~ 具有鎢著陸墊的閘極電極接觸窗插塞；
138~ 具有鎢著陸墊的接合區接觸窗插塞。

六、英文發明摘要 (發明名稱：Bit line contact and method for forming the same)

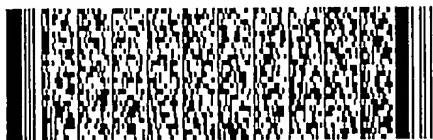
surface is then formed on the passivation layer. A contact opening is formed in the insulating layer and the passivation layer to expose the inner landing pad. A M0 etching process is performed to form a recess of interconnecting landing pad pattern in the upper portion of the contact opening. A M0 deposition process is then performed. The formed bit line contact structure



四、中文發明摘要 (發明名稱：位元線接觸窗及其製造方法)

六、英文發明摘要 (發明名稱：Bit line contact and method for forming the same)

comprises a bottom layer of a polysilicon inner landing pad, a contact plug and a top layer of an interconnection landing pad.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

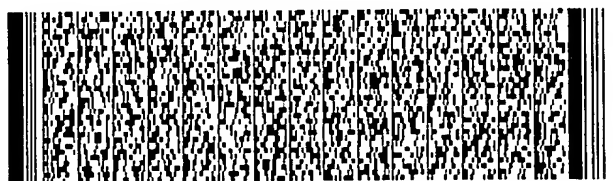
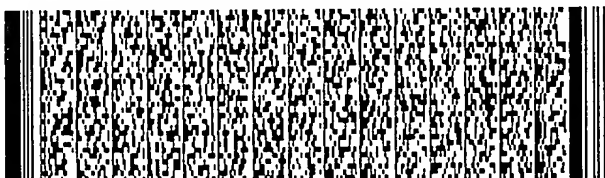
【發明所屬之技術領域】

本發明係有關於一種接觸窗的製造方法，且特別是有關於一種具有內著陸墊 (inner landing pad) 之位元線接觸窗的製造方法。

【先前技術】

嵌入式DRAM元件必須達到高效能的CMOS邏輯元件和高密度的DRAM陣列之要求。高效能的CMOS邏輯元件需要低阻抗的閘極導電材和源極/汲極擴散區，其通常是藉由自動對準金屬矽化物製程 (salicidation) 來達到低阻抗的要求，但是，陣列區必須要避免自動對準金屬矽化物製程，因為陣列區的自動對準金屬矽化之接合區會導致記憶元件漏電流的增加。在DRAM陣列方面，字元線需覆蓋絕緣材質，以形成與鄰近的字元線導線無邊界限制的位元線接觸窗 (bitline contacts)，但是，在支援區的閘極導電材需要被暴露出以利於雙重摻雜和自動對準金屬矽化物製程的進行。

傳統上，記憶胞陣列區和邏輯電路區的接觸窗之製程係分別進行。通常會先進行陣列區的接觸窗之製程，再進行邏輯電路區的接觸窗製程。首先在陣列的接觸窗製程方面，會於電晶體上覆蓋硼磷矽玻璃層 (BPSG layer) 和四乙氧基矽酸鹽層 (TEOS layer) 之疊層絕緣層，之後，藉由蝕刻製程於絕緣層中形成位元線接觸窗開口 (即CB holes)，再於位元線接觸窗開口中填入多晶矽材質做為



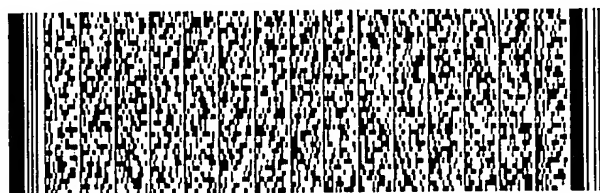
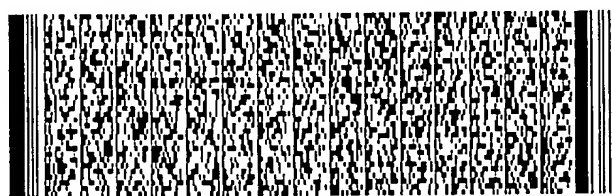
五、發明說明 (2)

位元線接觸窗插塞。之後，進行陣列區的接觸窗製程，於上述之絕緣層中形成閘極接觸窗開口（即CG holes）和接合區接觸窗開口（即CS holes）。繼續進行M0的蝕刻製程，以定義位元線接觸窗插塞的M0著陸墊，以及周邊電路區中連接閘極接觸窗和接合區接觸窗的局部內連線。

然而，在蝕刻絕緣層形成位元線接觸窗開口的過程中，因需蝕穿整個絕緣層（TEOS/PBSG）以暴露出接合區，因此易有矽基底損耗的問題，進而衍生出嚴重的次臨限電壓，如此會影響陣列區的電容器之記憶能力。而且在蝕刻的過程中，易耗損閘極電極（即字元線）側邊的間隙壁，甚至造成字元線和位元線之間的短路。此外，隨著集積度的增加，線寬的縮小，閘極電極間的間隙也會愈來愈小，如此會使蝕刻製程受到阻礙，甚至無法蝕穿，而造成斷路。

以下係以第3圖和第4圖說明習知位元線接觸窗的製程係如何導致上述的位元線接觸開路或是字元線-位元線短路的缺陷。

如第3圖所示，於已具有電晶體之結構的矽基底10上依序形成BPSG層30和TEOS層32之疊層絕緣層。其中電晶體包括源極12、汲極14和閘極結構20，閘極結構20包括閘極氧化層21、多晶矽層22、矽化鎢層23和氮化矽層24，而在閘極結構20側壁為氮化矽間隙壁25，其中多晶矽層22和矽化鎢層23係為閘極電極。之後於TEOS層32上形成光阻層40，此光阻層40具有接觸窗開口的圖案。之後，以此光阻



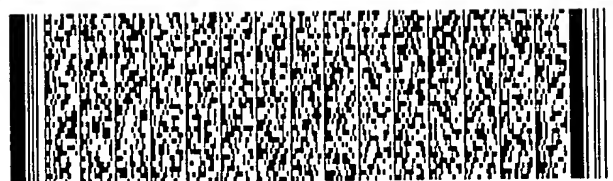
五、發明說明 (3)

層40為罩幕，進行蝕刻製程，以於BPSG層30和TEOS層32之疊層絕緣層中形成接觸窗開口34。然而，如上所述，當設計規則將線寬縮小至約 $0.11\ \mu\text{m}$ 時，接觸窗開口34所暴露的汲極區14的寬度就只有 $0.038\ \mu\text{m}$ 以下，且BPSG層30和TEOS層32之疊層絕緣層具有相當大的深度，因此愈接近汲極區14的絕緣材質就愈難被蝕刻，當上述的非等向性蝕刻反應終止時，在接觸窗開口34的底部就往往會留下一些未受到蝕刻或未完全蝕刻的絕緣材質30'，而未暴露出汲極區14。因此，後續填入導電材質於接觸窗開口34來形成連接位元線的接觸窗時，並無法與汲極區14無法產生電性連結，導致位元線接觸開路的缺陷。

為了避免位元線接觸開路的缺陷，如第4圖所示，習知會於完成位元線接觸窗開口的蝕刻程序後，再加一道過蝕刻(over etching)的步驟來移除接觸窗開口底部未完全移除的絕緣材質30'。但是，由於絕緣材質對氮化矽的蝕刻選擇比僅10左右，因此，在過蝕刻期間，氮化矽層24和間隙壁25易遭到蝕除，而使由矽化鎢23和多晶矽層22所構成的閘極電極暴露出來，造成字元線-位元線短路的缺陷。

【發明內容】

有鑑於此，本發明的目的在於提供一種位元線接觸窗的製造方法，可用於避免蝕刻位元線接觸窗所造成之矽基底損耗。



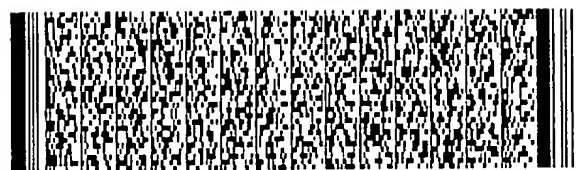
五、發明說明 (4)

本發明的另一目的在於提供一種位元線接觸窗的製造方法，以避免因閘極電極間的間隙愈來愈小而無法蝕刻的問題，藉以避免位元線接觸開路的缺陷。

本發明的又一目的在於提供一種位元線接觸窗的製造方法，可以避免字元線和位元線間的短路問題發生。

因此，本發明提出一種位元線接觸窗的製造方法，其方法如下所述。於基底上形成電晶體，且電晶體中的閘極電極為第一絕緣層所保護。接著形成順應性的多晶矽層，並定義多晶矽層，以於汲極區形成一內著陸墊。之後，於內著陸墊、電晶體和基底上順應性形成一保護層，並於保護層上形成第二絕緣層。接著，於第二絕緣層和保護層中形成暴露出內著陸墊的開口，並於開口中填入金屬材質，以形成經由內著陸墊電性連接汲極區的位元線接觸窗。

本發明並提供一種位元線接觸窗的製造方法，其方法如下所述。首先，於具有電晶體之基底上順應性形成多晶矽層，之後，對多晶矽層進行定義，以於記憶胞陣列區形成內著陸墊電性接觸汲極區。接著，於內著陸墊、電晶體和基底上順應性形成一層保護層，繼續於保護層上形成具有平坦化表面之絕緣層。之後，於第二絕緣層和保護層中形成第一開口、第二開口和第三開口，其中第一開口暴露出記憶胞陣列區之內著陸墊的表面，第二開口暴露出邏輯電路區之電晶體的閘極電極，第三開口暴露出邏輯電路區之電晶體的摻雜區，最後，於第一、第二和第三開口中填入一金屬材質。



五、發明說明 (5)

本發明另提供一種位元線接觸窗的結構，其中，電晶體係設於基底上，且包括閘極電極、摻雜區、及包覆該閘極電極之第一絕緣層。內著陸墊係設於部份電晶體表面和汲極區表面，其結構係為順應性之多晶矽層。保護層位於內著陸墊、電晶體和基底上。具有平坦化之表面的第二絕緣層係位於保護層上，而接觸窗插塞係位於第二絕緣層中與內著陸墊電性接觸。

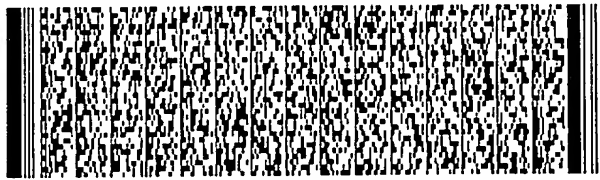
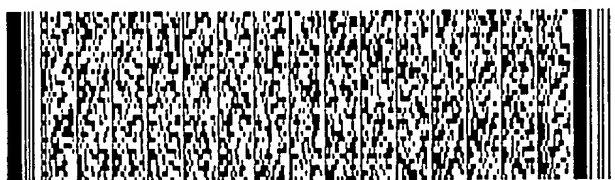
【實施方式】

以下係以嵌入式溝槽式電容器之動態隨機存取記憶體為例。然而，本發明並不限定於嵌入式溝槽式電容器之動態隨機存取記憶體，其他記憶體亦適用。

首先請參照第1A圖，提供一半導體基底100，例如是單晶矽基底，並可區分成記憶胞陣列區I和邏輯電路區II。此半導體基底100中已形成溝槽式電容器，之後，於半導體基底100上形成電晶體102。

在電容器方面，電容器係配置在路過字元線 (passing wordline) 下方，電容器的儲存節點56與摻雜的p型井區PW之間係藉由介電領圈 (dielectric collar) 66做電性隔離。並在儲存節點56上提供淺溝槽隔離STI以將路過字元線102和下方儲存節點56做電性隔離。電晶體102的擴散區142係藉由埋入板擴散區 (buried strap diffusion) 146而連接至埋入板 (buried strap) 62。

在電晶體102方面，此電晶體102包括源極142、汲極



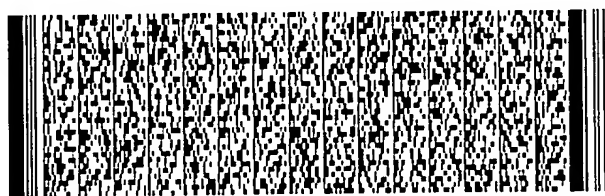
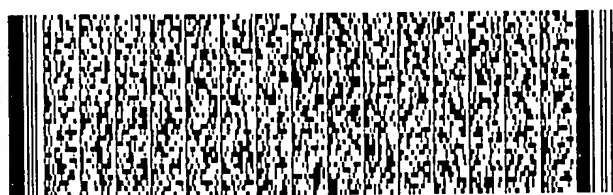
五、發明說明 (6)

144、閘極絕緣層150、多晶矽層152、金屬矽化物層154和罩幕層156，閘極電極係由多晶矽層152和金屬矽化物層154所構成，且其係由一絕緣物質包覆，其上方為材質為氮化矽的罩幕層156，側壁為氮化矽間隙壁158。源極142和汲極144係為摻雜區。在記憶胞陣列區I中的電晶體102，係為NMOS型電晶體，電晶體102緊密排列，且相鄰之電晶體102間具有間隙104。在邏輯電路區II中的電晶體102包括NMOS型電晶體和PMOS型電晶體。

接著請參照第1B圖，於已形成電晶體102的基底100上依序形成一層順應性的多晶矽襯層 (polysilicon liner layer) 112，其中多晶矽層112的厚度大約為100埃至400埃左右。

接著請參照第1C圖，於多晶矽層112上形成一罩幕層118，例如是光阻，此罩幕層118係用以定義出位元線接觸窗的內著陸墊 (inner landing pad) 圖案。之後，對多晶矽層112進行蝕刻，以形成內著陸墊 (inner landing pad) 112a (又稱多晶矽著陸墊)，如第1D圖所示。

其中，蝕刻多晶矽層112的方法可為濕蝕刻，所使用的蝕刻劑例如為緩衝過的氫氟酸 (BOE, buffered oxide etch)，即 $\text{NH}_4\text{F}:\text{HF}$ ，其比例較佳的是400~500:1。在此條件下，多晶矽材質的蝕刻速率大約為 $10\text{ \AA}/\text{min}$ (埃/分鐘)，基底之矽材質的蝕刻速率則小於 $0.25\text{ \AA}/\text{min}$ (埃/分鐘)。由於用以蝕刻多晶矽層112的蝕刻劑其多晶矽對矽具有高的選擇比，加上多晶矽層112的厚度僅為數埃，



五、發明說明 (7)

因為蝕刻的時間不會太長，所以在此蝕刻過程中，基底100並不會受到傷害。

之後，將罩幕層118移除，以露出內著陸墊112a的表面，如第1E圖所示。

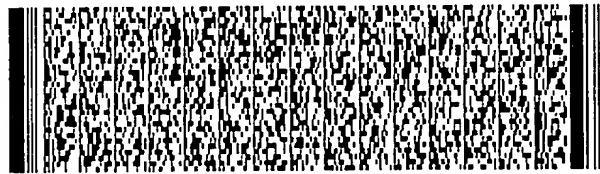
接著請參照第1F圖，於具有內著陸墊112a的基底100上形成一層順應性的絕緣襯層122，其材質例如是氮化矽，用以避免後續沈積於其上之絕緣層（例如BPSG）的摻雜物往外擴散至電晶體102或基底100中，絕緣襯層122的厚度為約110~130埃。

之後於絕緣襯層122上形成一層表面平坦之絕緣層124，該層絕緣層124例如是依序沈積厚度約為5900~7300埃的硼磷矽玻璃（BPSG）以及利用四乙基氧矽烷

（Tetraethylorthosilicate，TEOS）沈積厚度約為3600~4400埃的氧化物（簡稱TEOS層）之疊層。其中，在沈積完硼磷矽玻璃層後，更進行一道化學機械研磨製程，以將其表面平坦化，且停在絕緣襯層122表面，之後，再沈積TEOS層。

接著請參照第1G圖，同時進行陣列區I之位元線接觸窗126以及周邊電路區II之閘極電極接觸窗128和接合區接觸窗130的蝕刻製程，其中於周邊電路區II定義出的接觸窗128和130係分別暴露出閘極電極和基底接合區148的表面。

接著進行M0的蝕刻沈積製程，其詳細製程如第1H圖和第1I圖所示。



五、發明說明 (8)

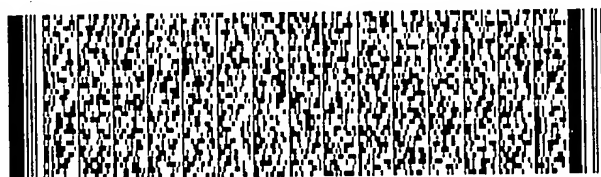
請參照第1H圖，進行M0著陸墊和局部內連線的蝕刻製程，以於部份絕緣層124中形成M0著陸墊和局部內連線的凹槽132，藉以定義出位元線接觸窗、閘極電極接觸窗和接合區接觸窗的著陸墊圖案，此時，亦會同時形成局部內連線的圖案。在圖中，係均以形成著陸墊的圖案為例。

接著請參照第1I圖，填入鎢金屬於凹槽132以及接觸窗126、128和130中，並藉由化學機械研磨移除絕緣層124上方多餘的鎢金屬，以形成具有鎢著陸墊的位元線接觸窗插塞134、具有鎢著陸墊的閘極電極接觸窗插塞136和具有鎢著陸墊的閘極電極接觸窗插塞138。

以下係將傳統之製程與本發明之製程做進一步的比較。請參照第2A圖和第2B圖，其中第2A圖係表示傳統之製程第2B圖係表示本發明之製程。

首先在步驟200提供具有電晶體的基底後，以及在步驟208於具有電晶體形成於其上的基底表面形成BPSG/TEOS絕緣層之前，本發明係進一步進行步驟202、204和206，於已形成電晶體於其上的基底表面形成順應性的多晶矽層；將多晶矽層定義出內著陸墊；以及全面性覆蓋一層順應性的保護層。

此外，傳統上記憶體陣列區和邏輯電路區的接觸窗之製程係分別進行，係於上述進行完步驟200和208後，繼續進行步驟210，針對記憶體區的部份進行位元線接觸窗開口的製程，之後進行步驟212，於位元線接觸窗開口中填入多晶矽導電材質，做為位元線接觸窗插塞，接著進行步



五、發明說明 (9)

驟214，針對周邊電路區的部份進行接觸窗開口的製程。

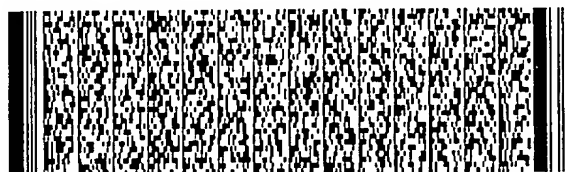
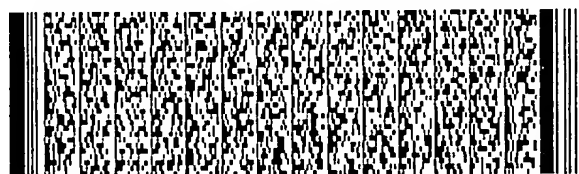
然而，本發明的記憶胞陣列區之位元線接觸窗開口以及周邊電路區的接觸窗開口係利用同一道微影蝕刻製程同時形成，即步驟210'。

之後進行同樣的步驟216和218之M0蝕刻製程以及M0金屬製程，以形成著陸墊和局部內連線。

綜上所述，本發明之位元線接觸窗結構係由多晶矽內著陸墊、接觸窗插塞、以及內連線著陸墊所構成。其中內著陸墊係用以提高接觸窗的製程裕度，內連線著陸墊係用以提高內連線的製程裕度。

另外，由於本發明係在覆蓋絕緣層於電晶體表面前，即先進行多晶矽內著陸墊的製程，因此蝕刻時間較短，故可以避免矽基底於蝕刻製程中發生損耗，且可避免因閘極電極間的間隙愈來愈小而無法蝕刻位元線接觸窗的問題，以及可以避免字元線和位元線間的短路問題發生。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖至第1I圖係繪示本發明之接觸窗的製造流程之剖面圖。

第2A圖係繪示傳統之接觸窗的製造流程圖。

第2B圖係繪示本發明之接觸窗的製造流程圖。

第3圖係表示習知的位元線接觸窗的製程導致位元線接觸開路的示意圖。

第4圖係表示習知的位元線接觸窗的製程導致字元線-位元線短路的缺陷的示意圖。

【符號簡單說明】

- 10~矽基底；
- 12~源極；
- 14~汲極；
- 20~閘極結構；
- 21~閘極氧化層；
- 22~多晶矽層；
- 23~矽化鎢層；
- 24~氮化矽層；
- 25~間隙壁；
- 30~BPSG層；
- 32~TEOS層；
- 34~接觸窗開口；
- 30'~絕緣材質；
- 40~光阻層；



圖式簡單說明

- 100~半導體基底；
- 102~電晶體；
- 104~間隙；
- 112~鈦金屬層；
- 114~氮化鈦層；
- 116~鎢金屬層；
- 118~罩幕層；
- 112a~內著陸墊；
- 122~絕緣襯層；
- 124~絕緣層；
- 126~位元線接觸窗開口；
- 128~閘極電極接觸窗開口；
- 130~接合區接觸窗開口；
- 132~M0凹槽；
- 134~具有鎢著陸墊的位元線接觸窗插塞；
- 136~具有鎢著陸墊的閘極電極接觸窗插塞；
- 138~具有鎢著陸墊的接合區接觸窗插塞。



六、申請專利範圍

1. 一種位元線接觸窗的製造方法，包括：

提供一基底，該基底上具有一電晶體，該電晶體包括一閘極電極、一摻雜區，該閘極電極為一第一絕緣層所保護；

順應性形成一多晶矽層於具有該電晶體之該基底上；
定義該多晶矽層，以形成一內著陸墊與該摻雜區接觸；

順應性形成一保護層於該內著陸墊、該電晶體和該基底上；

形成一第二絕緣層於該保護層上，該第二絕緣層具有平坦化之表面；

形成一開口於該第二絕緣層和該保護層中，且該開口暴露出該內著陸墊；以及

於該開口中填入一金屬材質。

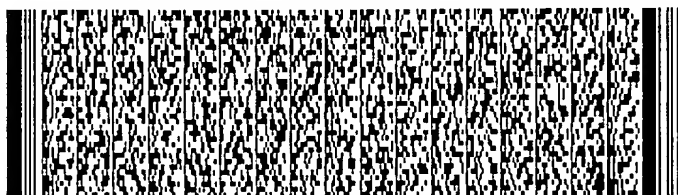
2. 如申請專利範圍第1項所述之位元線接觸窗的製造方法，其中該多晶矽層的厚度為100埃至400埃。

3. 如申請專利範圍第1項所述之位元線接觸窗的製造方法，其中蝕刻該多晶矽層的方法為濕蝕刻。

4. 如申請專利範圍第3項所述之位元線接觸窗的製造方法，其中蝕刻該多晶矽層的蝕刻劑為緩衝過的氫氟酸。

5. 如申請專利範圍第4項所述之位元線接觸窗的製造方法，其中該蝕刻劑為 $\text{NH}_4\text{F}:\text{HF}$ ，其比例為400~500:1。

6. 如申請專利範圍第1項所述之位元線接觸窗的製造方法，其中該保護層的材質為氮化矽。



六、申請專利範圍

7. 如申請專利範圍第1項所述之位元線接觸窗的製造方法，其中該保護層的厚度為110~130埃。

8. 如申請專利範圍第1項所述之位元線接觸窗的製造方法，其中該第二絕緣層為BPSG/TEOS之疊層。

9. 如申請專利範圍第1項所述之位元線接觸窗的製造方法，其中該BPSG/TEOS之疊層中該BPSG層的形成方法包括：

於該保護層上沈積一BPSG材質；以及
研磨該BPSG材質至暴露出該保護層。

10. 如申請專利範圍第9項所述之位元線接觸窗的製造方法，其中該BPSG/TEOS之疊層中該BPSG層的厚度為5900~7300埃，該TEOS層的厚度為3600~4400埃。

11. 如申請專利範圍第1項所述之位元線接觸窗的製造方法，其中填入該開口中之該金屬材質為鎢金屬。

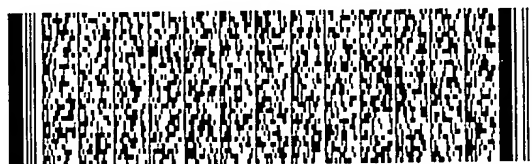
12. 一種位元線接觸窗的製造方法，適用於可區分成一記憶體陣列區和一邏輯電路區的一基底中，其中該基底上具有一電晶體，該電晶體包括一閘極電極及一摻雜區，該閘極電極為一第一絕緣層所保護，該製造方法包括：

順應性形成一多晶矽層於具有該電晶體之該基底上；

定義該多晶矽層，以於該記憶體陣列區形成一內著陸墊電性接觸該摻雜區；

順應性形成一保護層於該內著陸墊、該電晶體和該基底上；

形成一第二絕緣層於該保護層上，該第二絕緣層具有



六、申請專利範圍

平坦化之表面；

形成一第一開口、一第二開口和一第三開口於該第二絕緣層和該保護層中，其中該第一開口暴露出該記憶胞陣列區之該內著陸墊的表面，該第二開口暴露出該邏輯電路區之該電晶體的該閘極電極，該第三開口暴露出該邏輯電路區之該電晶體的該摻雜區；以及

於該第一、第二和第三開口中填入一金屬材質。

13. 如申請專利範圍第12項所述之位元線接觸窗的製造方法，其中該多晶矽層的厚度為100埃至400埃。

14. 如申請專利範圍第12項所述之位元線接觸窗的製造方法，其中蝕刻該多晶矽層的方法為濕蝕刻。

15. 如申請專利範圍第14項所述之位元線接觸窗的製造方法，其中蝕刻該多晶矽層的蝕刻劑為緩衝過的氫氟酸。

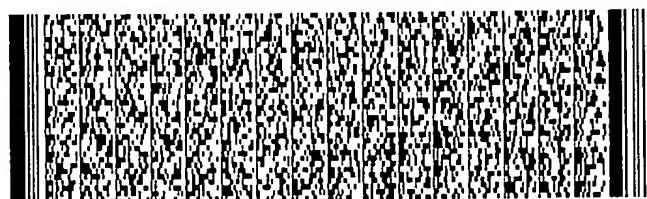
16. 如申請專利範圍第15項所述之位元線接觸窗的製造方法，其中該蝕刻劑為 $\text{NH}_4\text{F} : \text{HF}$ ，其比例為400~500 : 1。

17. 如申請專利範圍第12項所述之位元線接觸窗的製造方法，其中該保護層的材質為氮化矽。

18. 如申請專利範圍第12項所述之位元線接觸窗的製造方法，其中該保護層的厚度為110~130埃。

19. 如申請專利範圍第12項所述之位元線接觸窗的製造方法，其中該第二絕緣層為BPSG/TEOS之疊層。

20. 如申請專利範圍第12項所述之位元線接觸窗的製



六、申請專利範圍

造方法，其中該BPSG/TEOS之疊層中該BPSG層的形成方法包括：

於該保護層上沈積一BPSG材質；以及
研磨該BPSG材質至暴露出該保護層。

21. 如申請專利範圍第20項所述之位元線接觸窗的製造方法，其中該BPSG/TEOS之疊層中該BPSG層的厚度為5900~7300埃，該TEOS層的厚度為3600~4400埃。

22. 如申請專利範圍第12項所述之位元線接觸窗的製造方法，其中填入該第一、第二和第三開口中之該金屬材質為鎢金屬。

23. 一種位元線接觸窗，包括：

一基底；

一電晶體，設於該基底上，該電晶體包括一閘極電極及一摻雜區，該閘極電極為一第一絕緣層所保護；

一內著陸墊，設於部份該電晶體表面和該摻雜區表面，該內著陸墊係由一多晶矽層所組成；

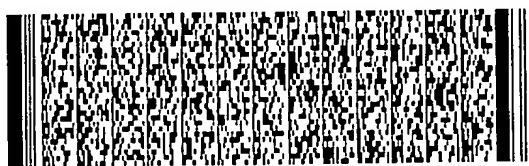
一保護層，位於該內著陸墊、該電晶體和該基底上；

一第二絕緣層，位於該保護層上，該第二絕緣層具有平坦化之表面；

一接觸窗插塞，位於該第二絕緣層和該保護層中，且與該內著陸墊電性接觸；以及

一內連線著陸墊，設於該接觸窗插塞上。

24. 如申請專利範圍第23項所述之位元線接觸窗，其中該內著陸墊之該多晶矽層的厚度為100埃至400埃。

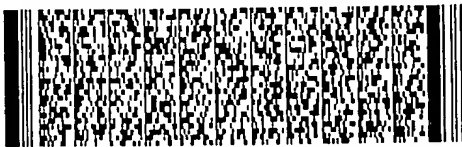


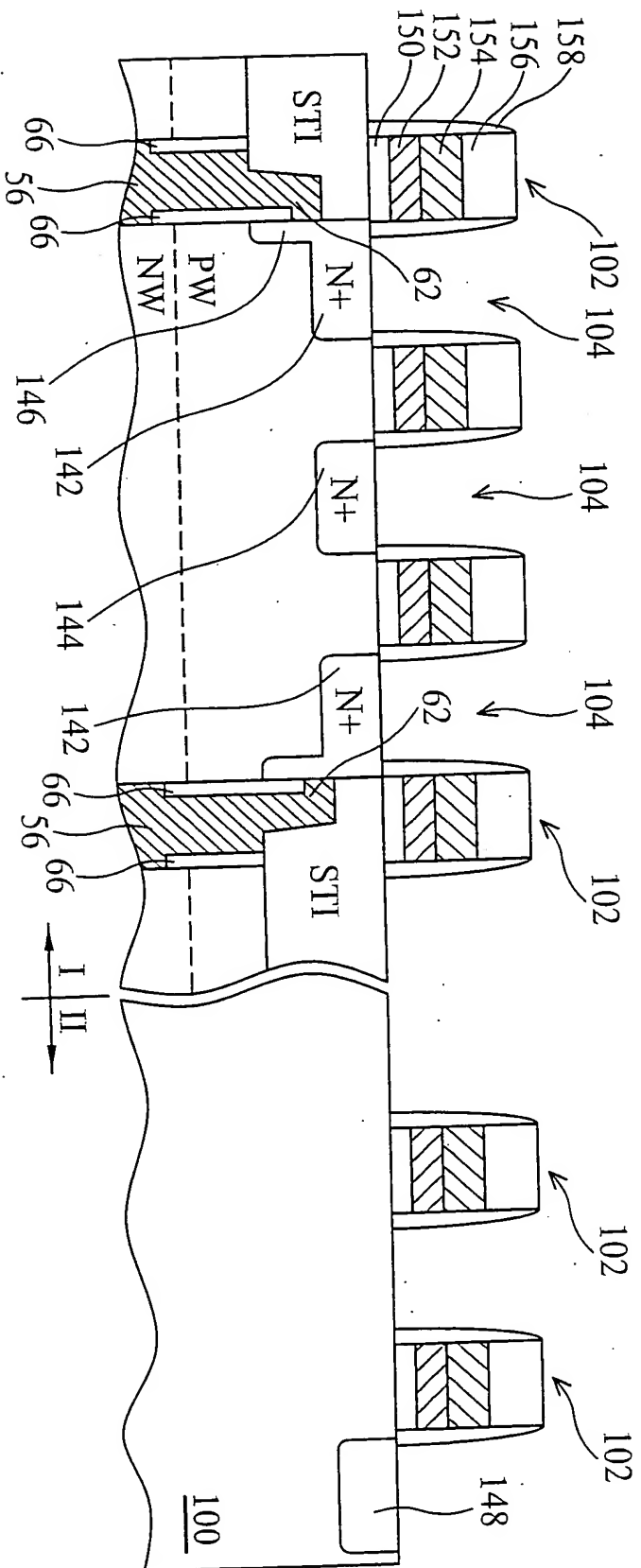
六、申請專利範圍

25. 如申請專利範圍第23項所述之位元線接觸窗，其中該保護層的材質為氮化矽。

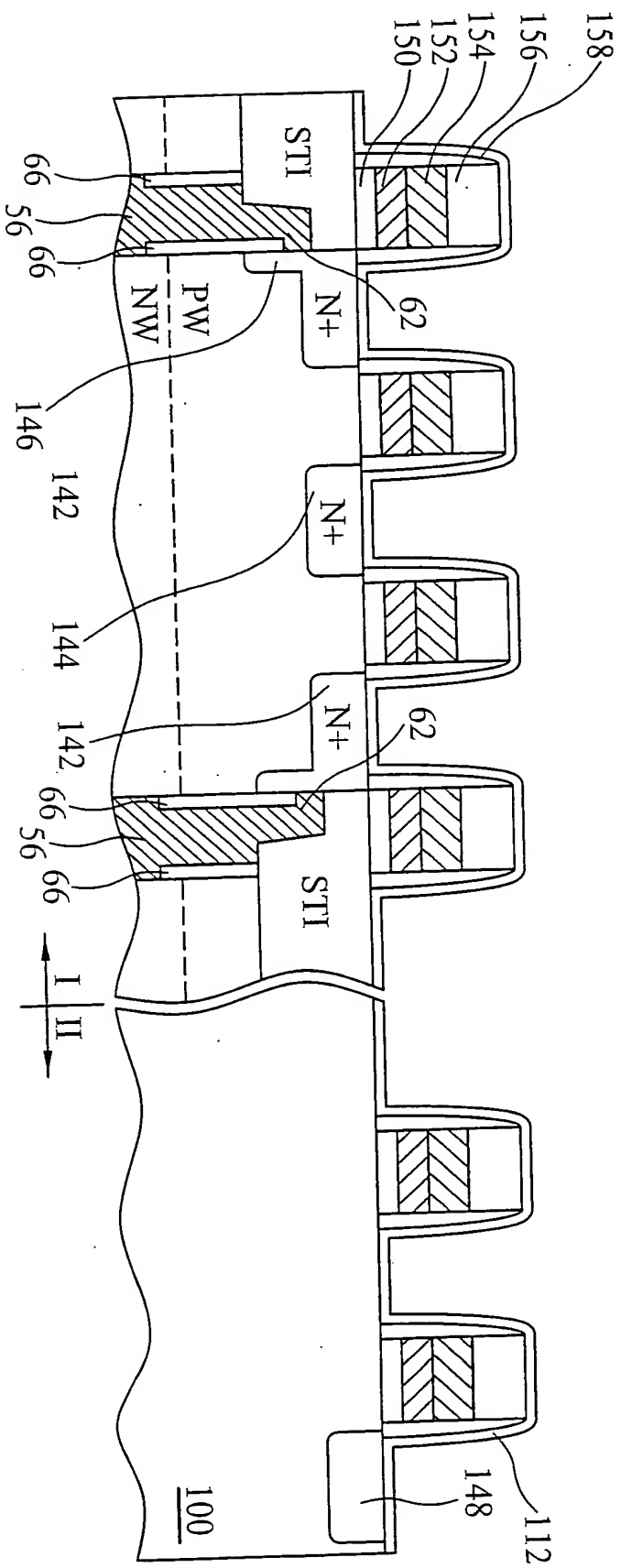
26. 如申請專利範圍第25項所述之位元線接觸窗，其中該保護層的厚度為110~130埃。

27. 如申請專利範圍第25項所述之位元線接觸窗，其中該接觸窗插塞和該內連線著陸墊的材質為鎢金屬。





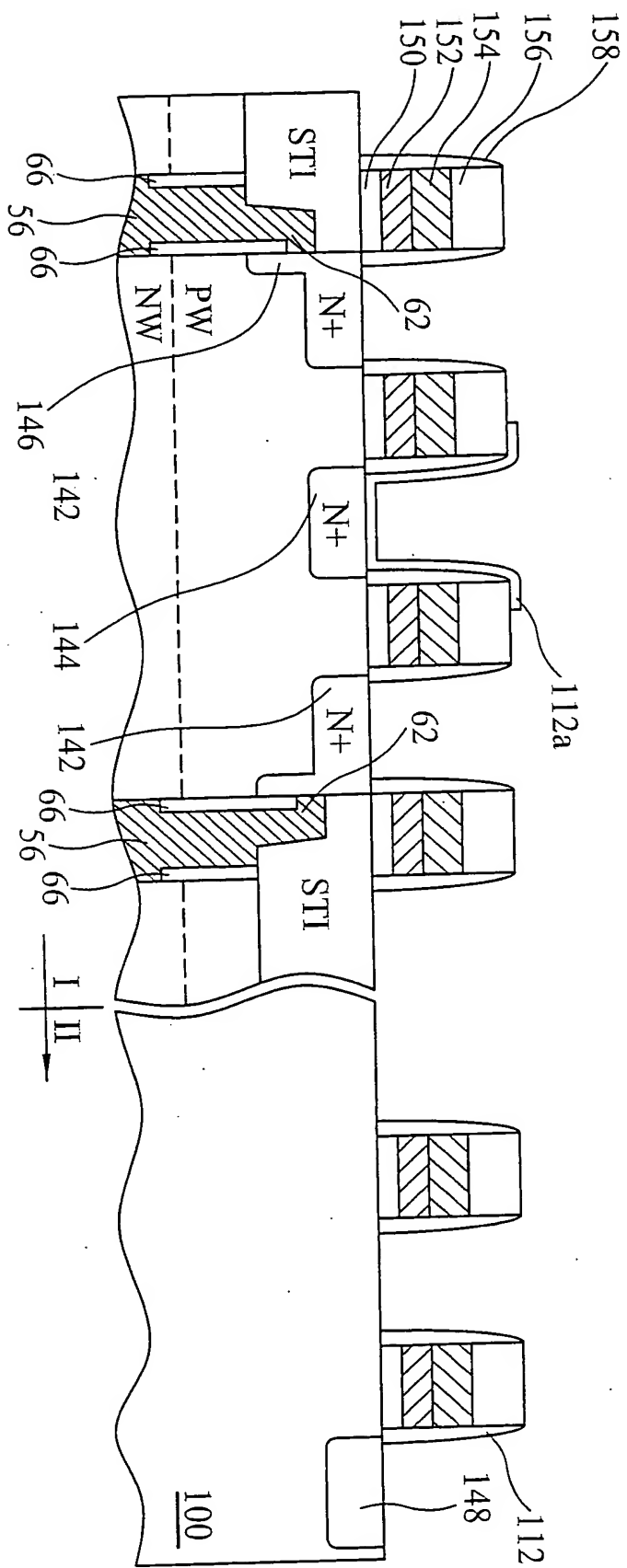
第1A圖



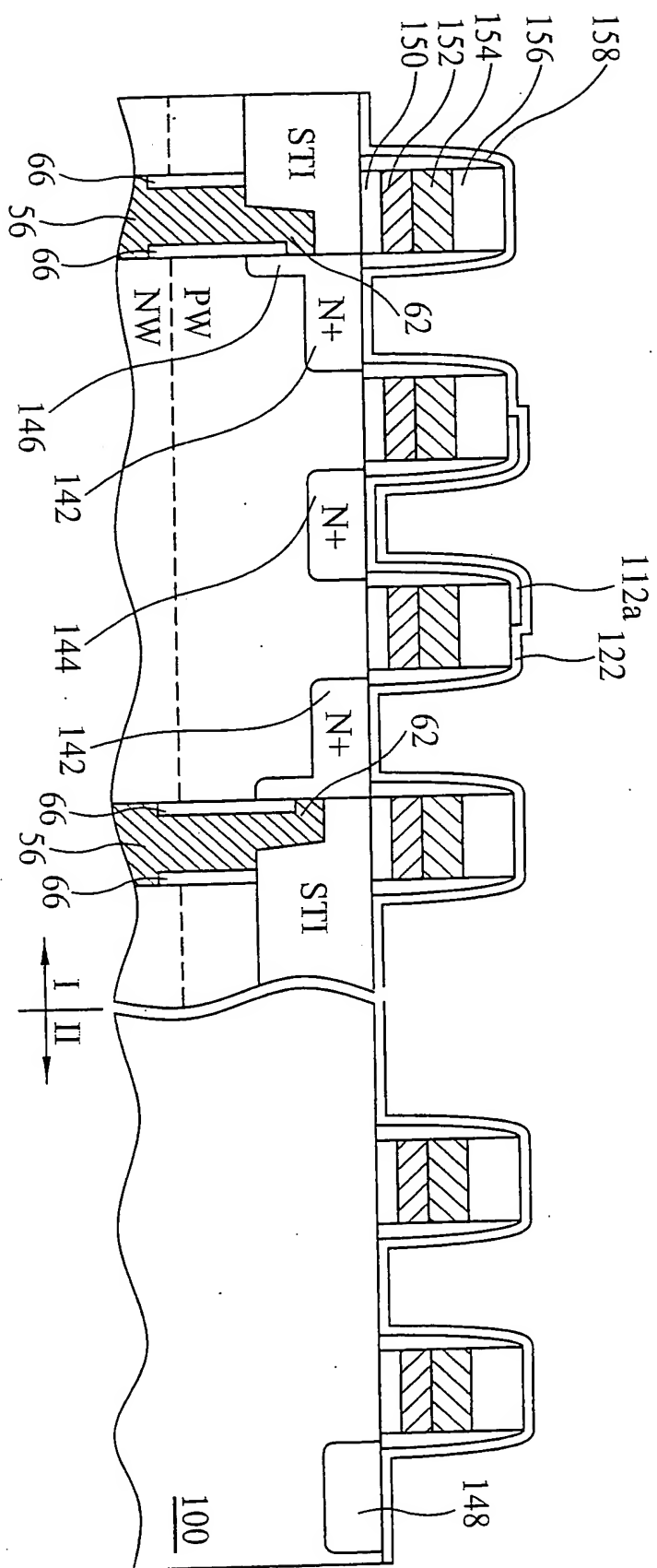
第1B圖



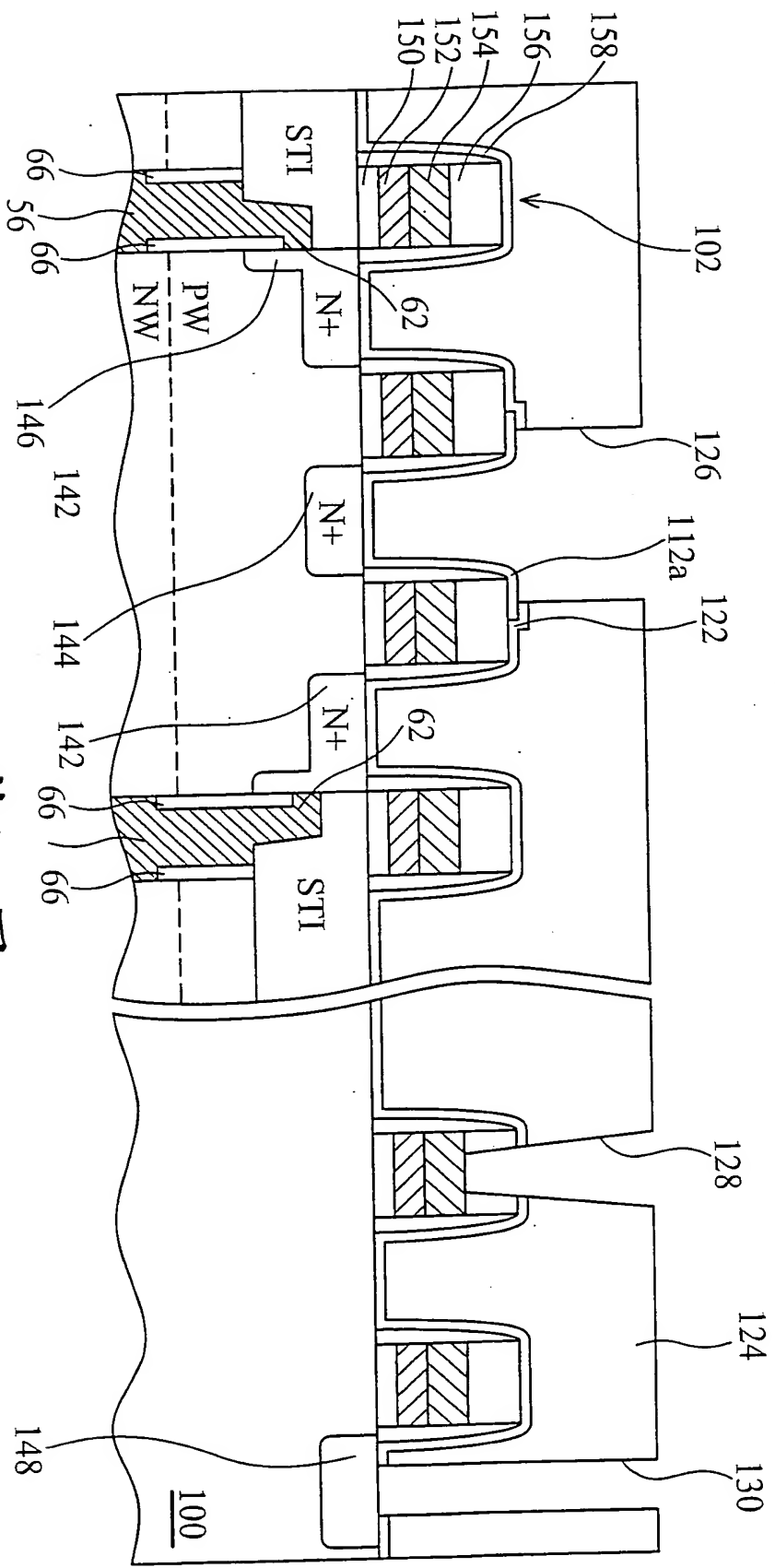
第10圖



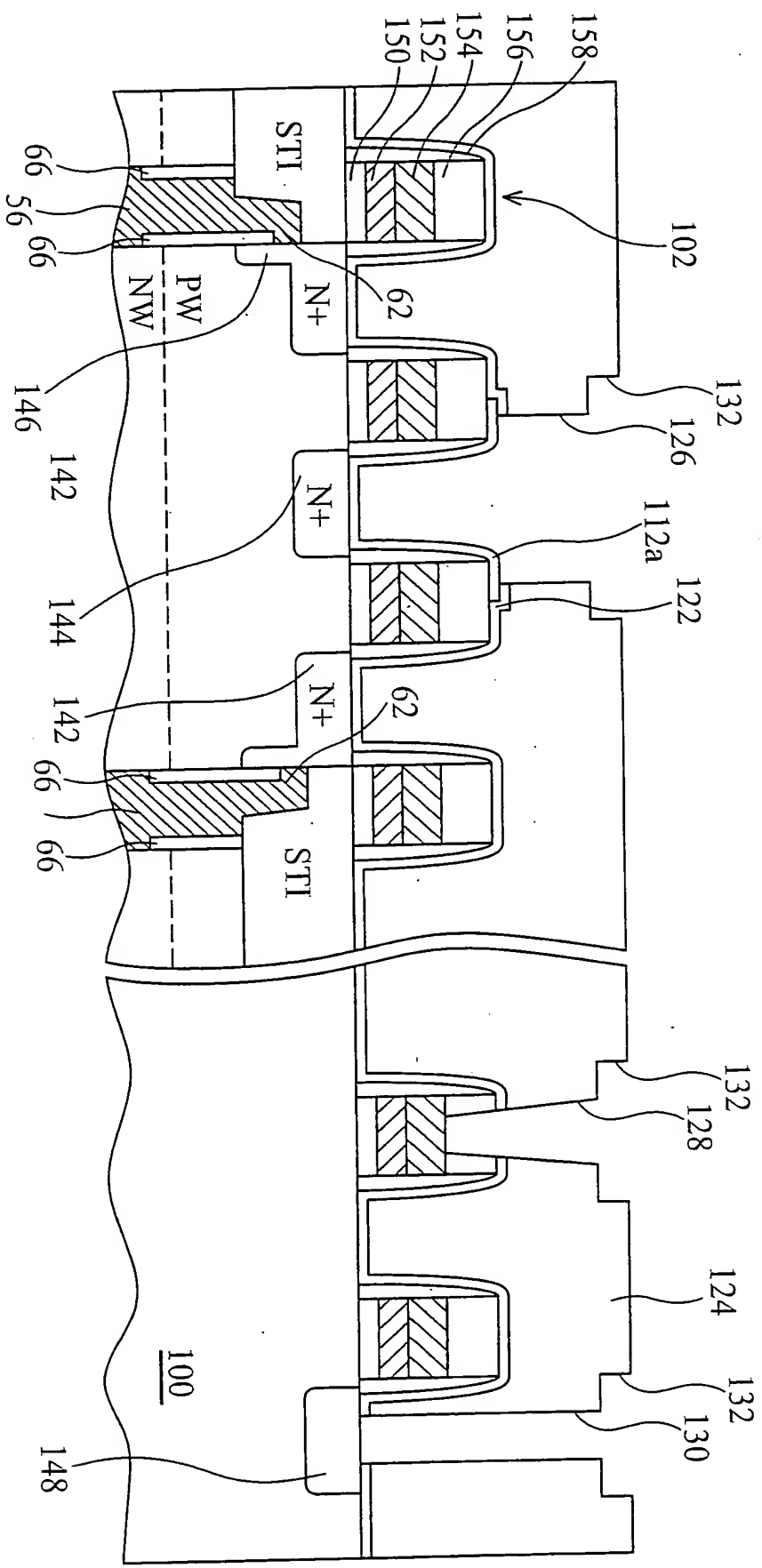
第1E圖



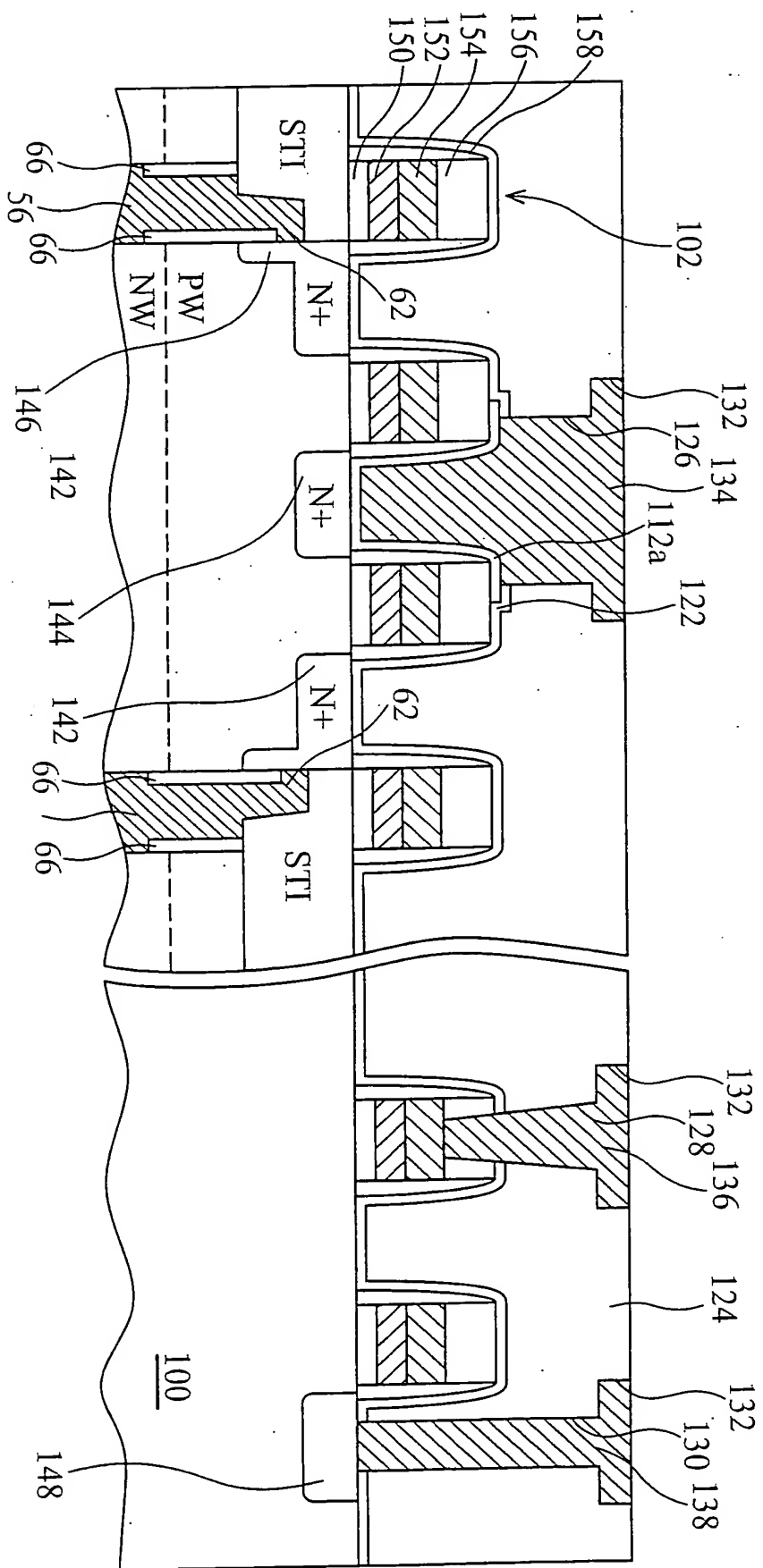
第1F圖



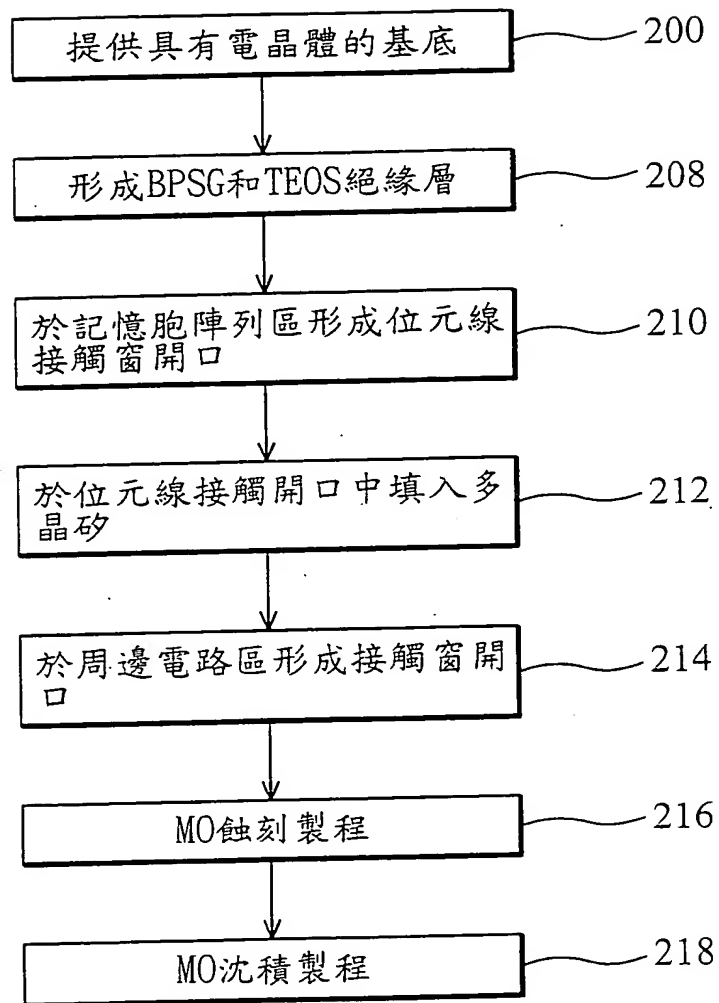
第1G圖



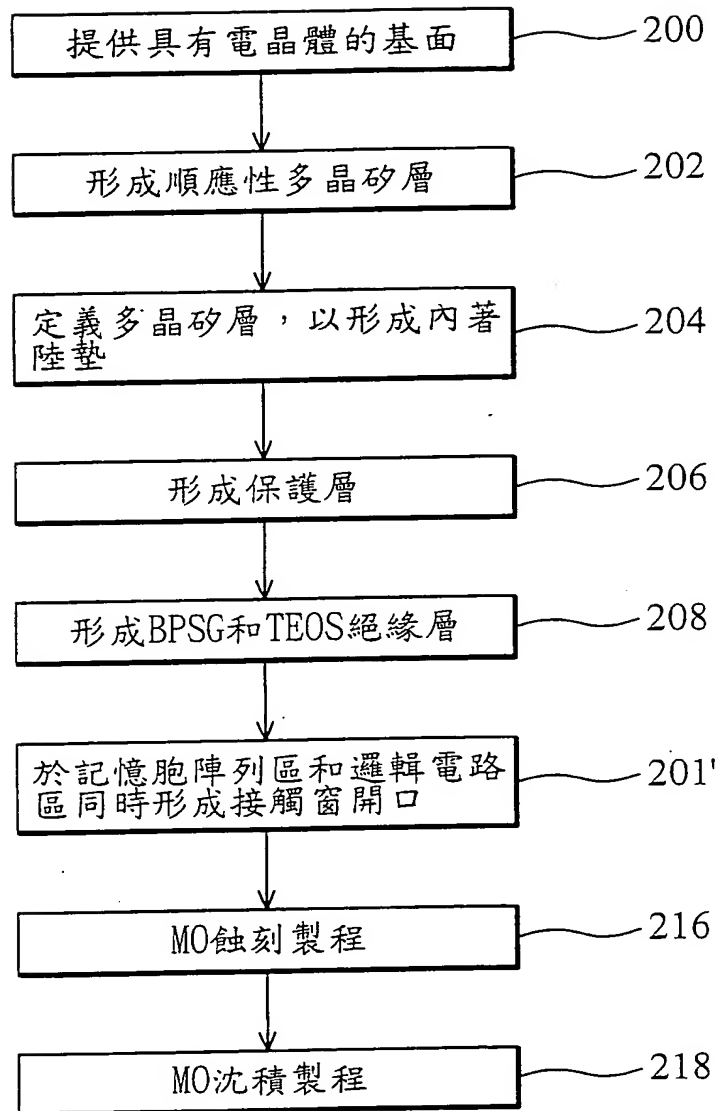
第1H圖



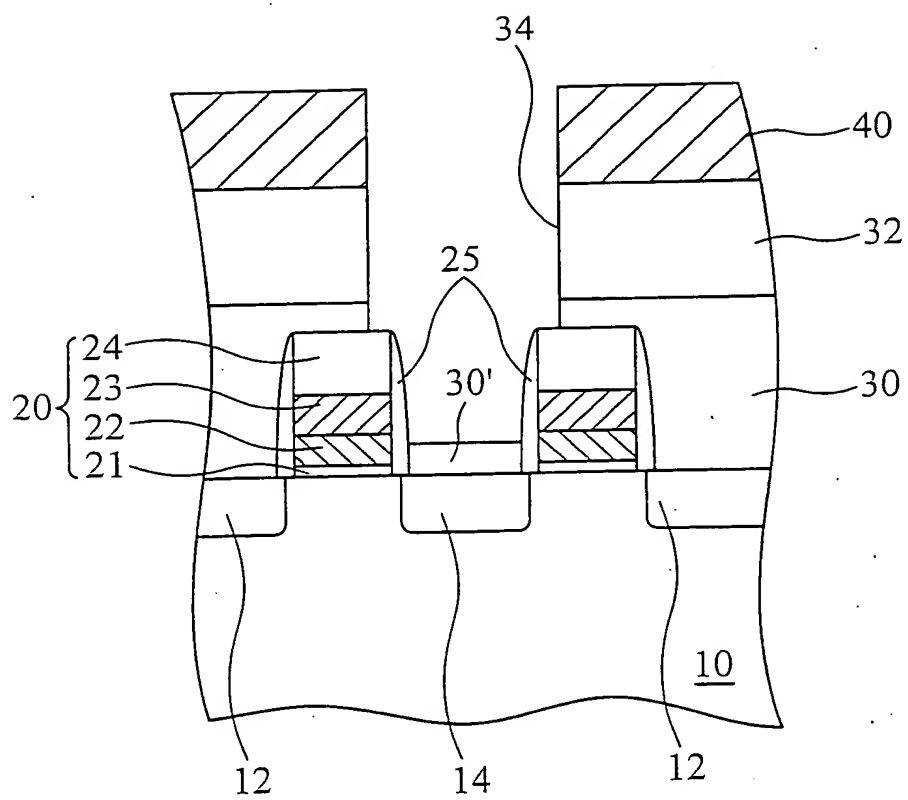
第11圖



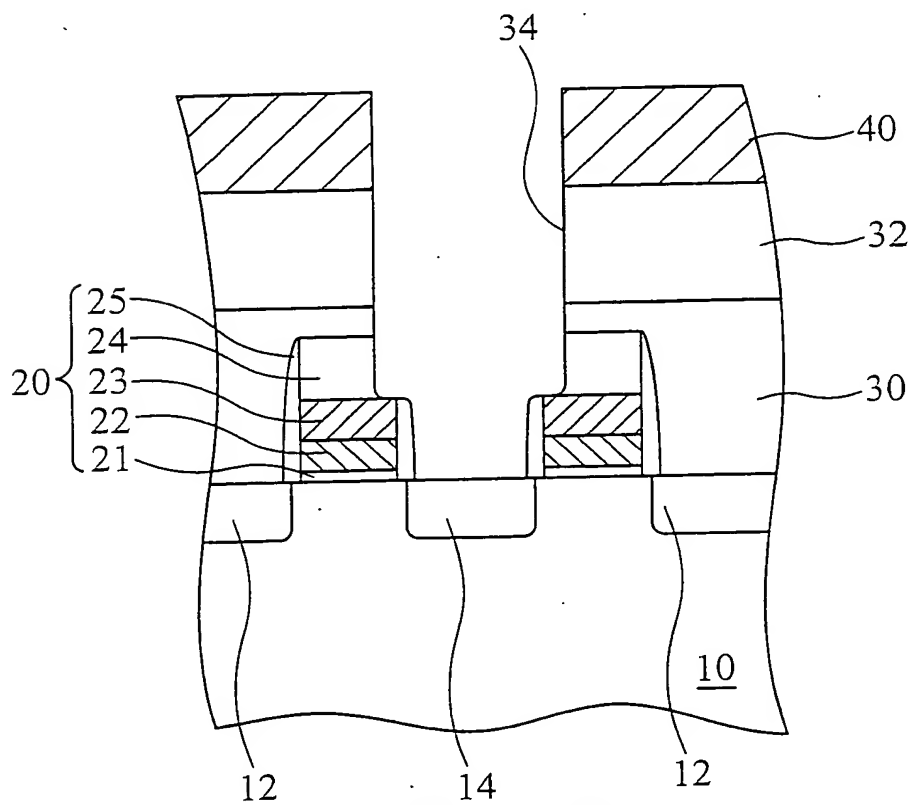
第2A圖



第2B圖

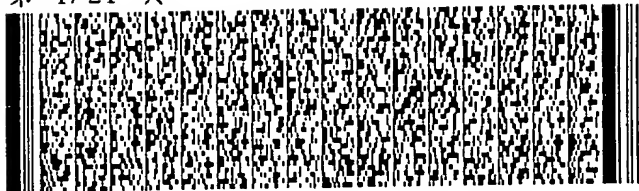


第 3 圖

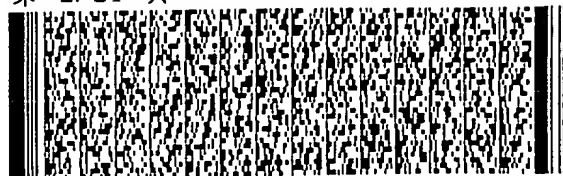


第 4 圖

第 1/21 頁



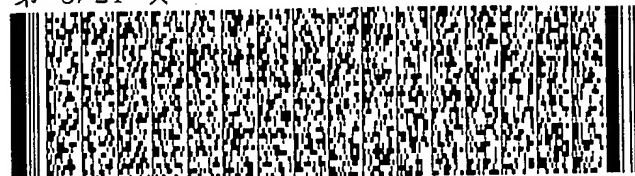
第 2/21 頁



第 2/21 頁



第 3/21 頁



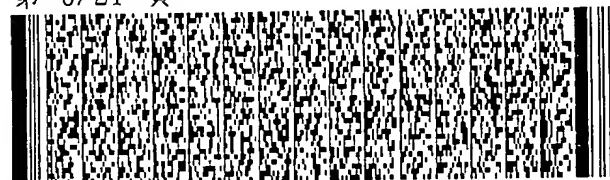
第 4/21 頁



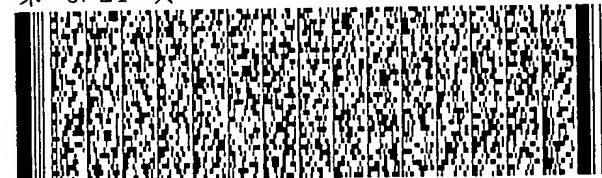
第 5/21 頁



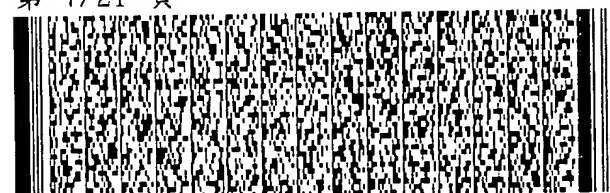
第 6/21 頁



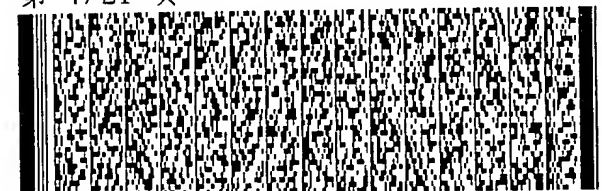
第 6/21 頁



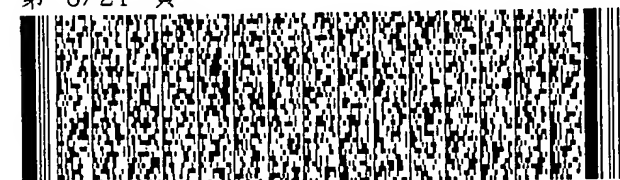
第 7/21 頁



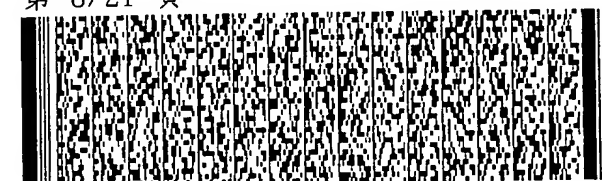
第 7/21 頁



第 8/21 頁



第 8/21 頁



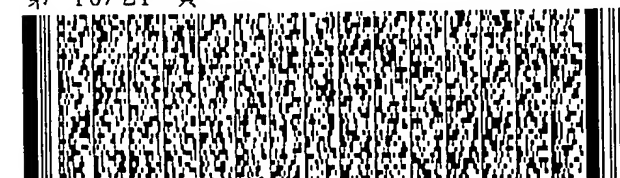
第 9/21 頁



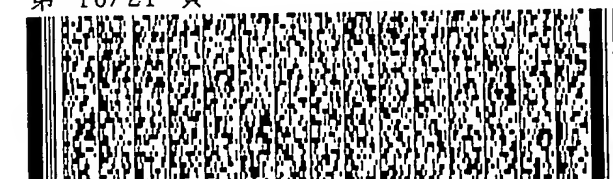
第 9/21 頁



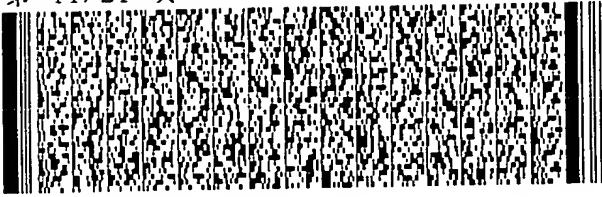
第 10/21 頁



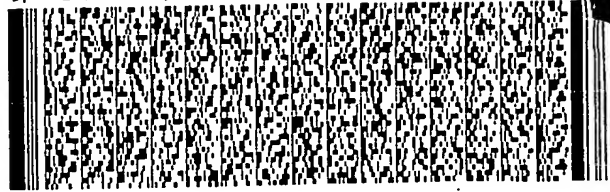
第 10/21 頁



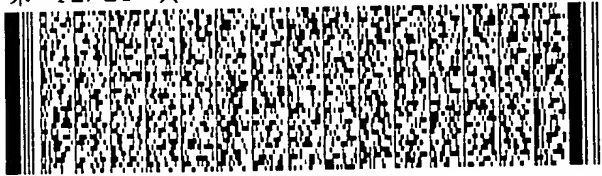
第 11/21 頁



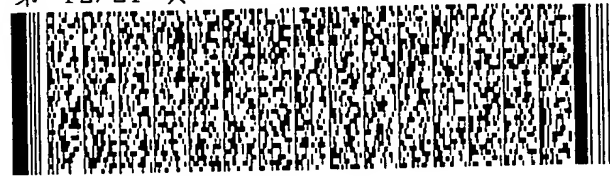
第 11/21 頁



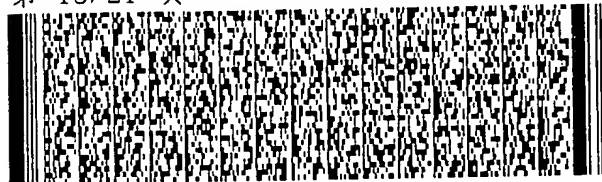
第 12/21 頁



第 12/21 頁



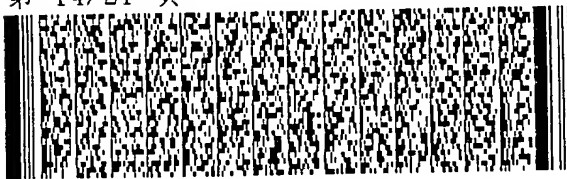
第 13/21 頁



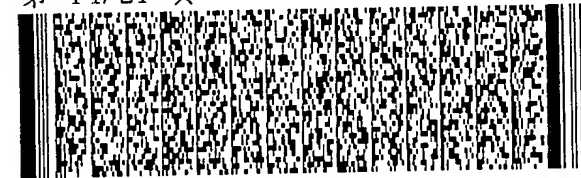
第 13/21 頁



第 14/21 頁



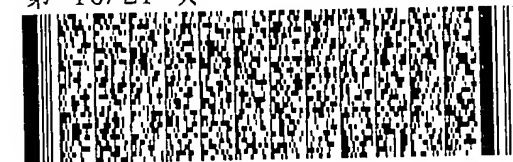
第 14/21 頁



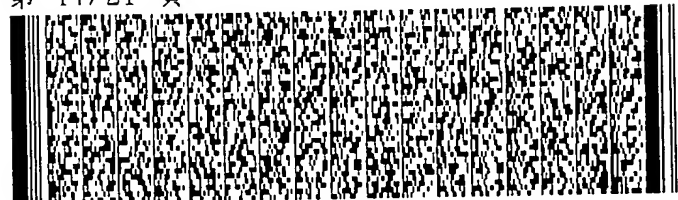
第 15/21 頁



第 16/21 頁



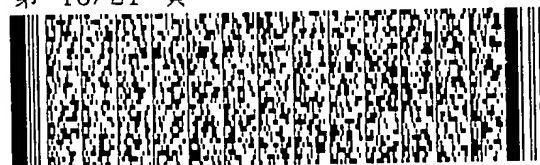
第 17/21 頁



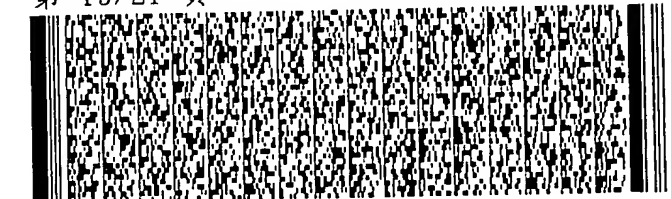
第 18/21 頁



第 18/21 頁



第 19/21 頁



第 20/21 頁



第 20/21 頁



